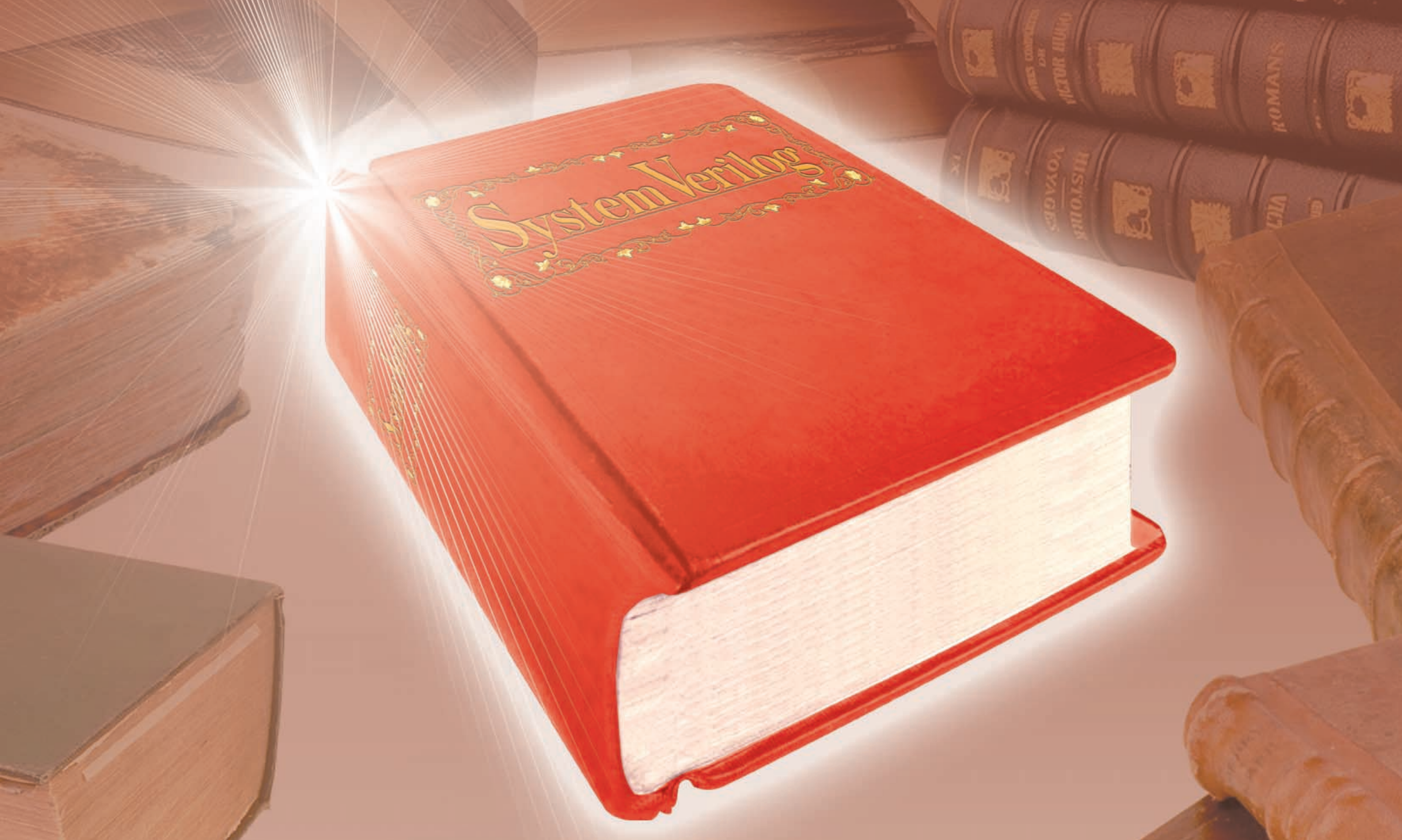


特集1

設計＆検証言語 "SystemVerilog"

デバイスの記事　ビギナーズ

Verilog HDL を拡張した新・ハードウェア記述言語標準

本特集では，システムLSIやASIC(application specific integrated circuit)の設計言語に関する話題を取り上げます．2005年内の標準化を目指して，IEEEではSystemVerilog(IEEE P1800)の承認投票が行われています．これに伴って，シミュレータ・ベンダやHDLデバッガ・ベンダ，機能検証ツール・ベンダなどがSystemVerilogの対応製品を続々と発表しています．SystemVerilogは，既存のVerilog HDLを拡張した仕様になっています．設計(回路)記述が書きやすくなり，さらに検証言語としての仕様も盛り込まれました．本特集では，こうしたSystemVerilogによる設計手法について紹介します．